PATENT ABSTRACTS OF JAPAN

(11)Publication number:

08-147458

(43) Date of publication of application: 07.06.1996

(51)Int.CI.

G06T 1/60

(21)Application number: 06-285141

(71)Applicant: MATSUSHITA ELECTRIC IND CO

LTD

(22)Date of filing:

18.11.1994

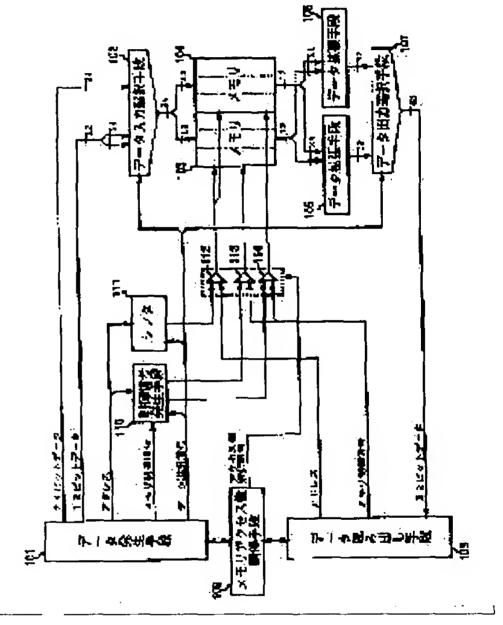
(72)Inventor: HORIUCHI KOICHI MATSUMOTO TAKAO

(54) MEMORY CONTROL UNIT

(57)Abstract:

PURPOSE: To decrease the buffer memory capacity of an information processing system which generates plural data differing in bit with.

CONSTITUTION: A data generating means 101 generates data with 24-bit and 12-bit widths. Memories 103-104 have 24-bit width. The data with the 12-bit width are stored in the memories so that two data in adjacent addresses are successive. Data expanding means 105-106 expand the 24-bit data stored in the memories 103-104 into 32-bit data. Those data are read out by a memory read means 108. The memories are stored with only the data generated by the data generating means 101, so the buffer memory capacity is reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Searching PAJ .

(12) 公開特許公報(A

(II)特許出顧公開番号

特開平8-147458

(43)公開日 平成8年(1996)6月7日

G 0 8 1	(51) Int.CI.*
1/00/	
	機別記号
	庁内整理番号
G06F 15/64	FI
450 D 450 E	技術表示箇所

審査請求 未請求 請求項の数1 OL (全 9 頁)

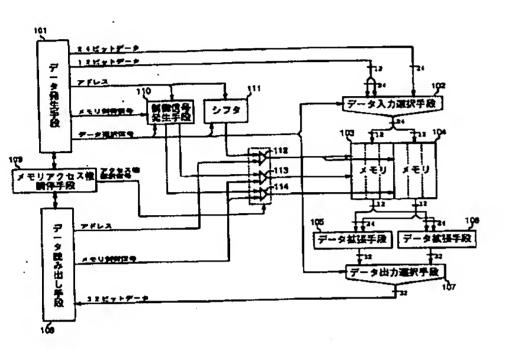
			(22)出版日	(21)出廣番号
			平成6年(1994)11月18日	特觀平6-285141
(74)代理人 弁理士	(72)発明者	(72) 発明者		人協用(17)
産業株式会社内 弁理士 松田 正道		堀内 浩一 大阪府門真市大学門真1006番地 松下電器 産業株式会社内	位下馬希里米尔马云红 大阪府門其市大学門真1006番地	(71) 出題人 000005821
	松下電	松下電		

(54) 【発明の名称】 メモコ短鉤披置

(57) 【蚁彩】

【目的】 ビット幅の異なる複数のデータを発生する情報処理システムにおいて、バッファメモリ量を削減する

【構成】 データ発生手段101は24と12ビット幅のデータを発生する、メモリ103~104は24ビット幅を持つ、12ビット幅データは隣接するアドレスのデータが2個連接されメモリに格納される、データ拡度手段105~106はメモリ103~104に格納された24ビット幅データを32ビットに拡張する、このデータをメモリ読み出し手段108が読み出す。メモリにはデータ発生手段101の発生するデータのみ格納されるため、バッファメモリ最が削減される、



【特許請求の範囲】

のデータのビット幅が異なるデータ発生手段と、前記デ 数))ビット幅の複数のデータを発生し、発生する複数 に(2のN-n乗:Nはn以上の整数)個連接して容能 格納されたデータに前記データ発生手段の出力するデー データを読み出すデー する(3×(2のN栗))ピット鮭のメモリと、前記デ 法 データを選択し前記デー 数のデータ拡張手段と ータを付加して(4× タのビット幅によって 力するデータ人力選択手段と、前記メモリに格納された 夕出力選択手段とを備 [請求項1] タ発生手段の出力するデータ選択信号に基づき前記デ タ発生手段の出力する複数のデータを個々のデータ毎 タ発生手段の出力するデータを選択し前記メモリへ入 一夕選択信号に基る (3× えたことを特徴とするメモリ制御 ータ読み出し手段へ入力するデー き前記データ拡張手段の出力する (2のN県)) バット幅にする弦 定められたビット位置に任意のデ 9 読み出し手段と、前記メモリに (2のn果: nは0以上の数 前記データ発生手段の出力する

【発明の計制な説明】

[0001]

【産業上の利用分野】本発明は、複数の階調ビット幅を持つ画像データを発生する情報処理システムにおいて、複数の階調ビット幅を持つ画像データを共通のバッファメモリに一時的に格納するメモリ制御装置に関するものである。

[0002]

【従来の技術】近年のCPUの高速化、メモリの大容量化などにともない、情報処理システムの処理性能が向上し、情報処理システムが扱うことのできるデータ量も増大してきている。このことは、画像データに関して言えば、高解像度かつ高階調なより画質の高い画像データを扱うことができるようになってきたことを意味する。

【0003】画像データの1画素あたりの階調ビット幅は、画像データの種類によって異なっている。例えば、自然画などのフルカラー画像は一般的に24ビット幅であり、X線写真などのグレイスケール画像は一般的に12ビット幅である。

を行ない両級データを **弾システムは両像デー** するより高速にアクセ た画像データを伸長し データをデジタルデー ータを高速に発生する ·ロタ的に両俊データを格納することが多い。 【0004】例えば、 タは最終的にはメイ スできる専用のバッファメモリに ンメモリに格納されるが、画像デ タを発生する。発生された画像デ 生成したりというように、情報処 たり、3次元グラフィックス処理 タとして取り込んだり、圧縮され ビデオカメラから人力された画像 ために、メインメモリにアクセス

【0005】 一つの情報処理システムが、階調ビット幅の異なる複数の画像データを発生する場合のバッファメモリのメモリ制御装置の一例を図るに示す。

【0006】図3において、301は陪鵡ビット幅の異なる2種類の画像データを発生するデータ発生手段、302は1番目のデータにビットを付加するデータ拡張手段、302は1番目のデータにビットを付加するデータ拡張手段、303は2番目のデータは最手段302とデータ拡張手段303の出力データを選択するデータ人力選択手段、305は画像データをメモリ305から読み出すデータ説み出し手段、307はメモリアクセス権調停手段、308はメモリ305へのアドレスを選択するセレクタ、309はメモリ305へのアドレスを選択するセレクタ、309はメモリ305へのメモリ制御信号を選択するセレクタである。

【0007】データ発生手段301は、1画素毎に画像データを発生し、その画素のアドレスとデータを出力する。データ発生手段301は、24ビット幅の画像データと12ビット幅の画像データの2種類の画像データを発生する。まずは、24ビット幅の画像データを発生する場合を考える。

【0008】データ拡張手段303は、データ発生手段301の出力する24にクト幅7ータに圧成の8にクトを付加し、メモリのピット幅32ピットに合わせて出力する、図4にデータ放展の例を示す、ここでは、データ発生手段301の発生する画像データ401をピット23から0に割り当て、放展データをピット31から24に割り当てることで32ピット幅のデータ402を作

【0009】データ人力選択手段304は、データ発生手段301の用力するデータ選択信号によって、24ビット幅データ、つまり32ビット幅に拡張されたデータ拡張手段303の出力を選択し用力する。

【0010】データ発生手段301は、メモリアクセス権調停手段307にメモリ305へのアクセス権を要求する。メモリアクセス権調停手段307は、データ発生手段301とデータ読み出し手段306との間でメモリアクセス権を調停し、データ発生手段301に対しメモリ305へのアクセスを許可する。

【0011】セレクタ308は、メモリアクセス権調停手段307の出力するアクセス権選択信号によって、データ発生手段301の発生するアドレスを選択し出力する。セレクタ309は、メモリアクセス権選停手段307の出力するアクセス権選択信号によって、データ発生手段301の発生するメモリ制御信号を選択し出力する。これらのアドレスとメモリ制御信号によって、データ入力選択手段304が出力するデータがメモリ305の指定の位置に書き込まれる。

【0012】データ読み出し手段306は、メモリアクセス権調停手段307にメモリ305へのアクセス権を要求する、メモリアクセス権調停手段307は、データ発生手段301とデータ読み出し手段306との間でメモリアクセス権を調停し、データ読み出し手段306に

(2)

特用平08-147458

_

対しメモリ305へのアクセスを許可する。

【0013】セレクタ308は、メモリアクセス権調停手段307の用力するアクセス権選択信号によって、データ読み出し手段306の発生するアドレスを選択し出力する。セレクタ309は、メモリアクセス権調停手段307の出力するアクセス権選択信号によって、データ読み出し手段306の発生するメモリ制御信号によって、メモリ305の指定の位置のデータがデータ読み出し手段306へ読み出される。

【0014】回様に、データ発生手段301が12ピット幅データを発生する場合を考える。データ放展手段302は、データ発生手段301の出力する12ピット幅データに任意の20ピットを付加し、メモリのピット幅32ピットに合わせて出力する。図4にデータ放展の図を示す、ここでは、データ発生手段301の発生する画像デーク403をピット11から0に関り当て、放展データをピット31から12に関り当てることで32ピット制のデータ404を作る

【0015】アーク人力選択手長304は、アーノ発生手段301の出力するデータ選択信号によって、12ビット幅データ、つまり32ビット幅に拡張されたデータ拡展手段302の出力を選択し出力する。

【0016】データ発生手段301は、メモリアクセス権調停手段307にメモリ305へのアクセス権を要求する。メモリアクセス権調停手段307は、データ発生手段301とデータ読み出し手段306との間でメモリアクセス権を調停し、データ発生手段301に対しメモリ305へのアクセスを許可する。

【0017】セレクタ308は、メモリアクセス権調停 手段307の出力するアクセス権選択信号によって、デ 一夕発生手段301の発生するアドレスを選択し出力す る。セレクタ309は、メモリアクセス権選停手段30 7の出力するアクセス権選択信号によって、データ発生 手段301の発生するメモリ制御信号を選択し出力す る。これらのアドレスとメモリ制御信号によって、デー タ人力選択手段304が出力するデータがメモリ305 の指定の位置に書き込まれる。

【0018】データ読み出し手段306は、メモリアクセス権調停手段307にメモリ305へのアクセス様を要求する。メモリアクセス権調停手段307は、データ発生手段301とデータ読み出し手段306との間でメモリアクセス権を調停し、データ読み出し手段306に対しメモリ305へのアクセスを許可する。

【0019】セレクタ308は、メモリアクセス権調停手段307の出力するアクセス権選択信号によって、データ説み出し手段306の発生するアドレスを選択し出力する。セレクタ309は、メモリアクセス権調停手段307の出力するアクセス権選択信号によって、データ説み出し手段306の発生するメモリ制御信号を選択し

出力する。これらのアドレスとメモリ制御信号によって、メモリ305の指定の位置のデータがデータ読み出し手段306へ読み出される。

[0020]

【発明が解決しようとする課題】情報処理システムのメインメモリへの最小アクセス単位は、一般的に1バイト(=8ビット)であり、(2のM乗:Mは0以上の整数、上限は情報処理システムによって異なる)バイト単位でのアクセスが可能である。従って、メモリの構成も、(2のM乗)バイト幅にする必要がある。

【0021】24ビット電データを(2のM屎)バイト 電メモリに格響するためには、24ビット=3バイトの ため、最成4(=2の2果)バイト電のメモリが必要で あり、メモリ305は32ビット(=4バイト) 熱にな っている。ぼって、24ビット電データをメモリ305 に落寒する時は、32ビット電に拡張する必要があり、 1 画素毎に指数量のない不必要なデータ8ビットを付加 しなくてはならない。これは、データ幅が(2のM屎) バイトド度でないからである

【ロロ22】回珠にして、「2cッド船フータの場合には、坂底16ピット(=2パイト)幅のメモリが必要であり、「画素毎に情報版のない不必要なデータ4ピットを付加しなくではならない。

【0023】ところが、データ発生手段301は1両素毎にそれに対応するアドレスを出力するため、メモリ305のアドレスは1両素に1対1に対応することになる。よって、12ビット幅のデータも、32ビット幅に格納する必要がある。従って、12ビット幅で一タをメモリ305に格納する時も、32ビット幅に拡張する必要があり、1両素毎に情報量のない不必要なデータ20ビットを付加しなくてはならない。

【0024】つまり、24ビット電データの場合には、1両素あたり8ビット分のバッファメモリが余分に必要であり、12ビット電データの場合には、1両素あたり20ビット分のバッファメモリが余分に必要である。
【0025】本発明は上記の従来のメモリ関連の課題に 20ビット分のバッファメモリが余分に必要である。 【0025】本発明は上記の従来のメモリ関連の課題に 24ビット電や12ビット転などの(3×(2の n果:nは0以上の繋数))ビット転でビット転の異なる複数のデータを発生する情報処理システムにおいて、 必要なビット転だけのバッファメモリを有効利用し、メ モリ量を削減することができる、メモリ関連装置を提供 することを目的としている。

[0026]

【課題を解決するための手段】上記課題を解決するために、本発別は、(3×(2のn乗:nは0以上の整数)) ビット幅の複数のデータを発生し、発生する複数のデータのビット幅が異なるデータ発生手段と、前記データ発生手段の出力する複数のデータを加々のデータ領に(2のN-n乗:Nはn以上の整数)例連接して格納する(3×(2のN乗)) ビット幅のメモリと、前記デ

一夕発生手段の出力するデータ選択信号に基づき前記データ発生手段の出力するデータを選択に開記メモリへ入力するデータ人力選択手段と、前記メモリに格納されたデータを読み出すデータ読み出し手段と、前記メモリに格納されたデータを読み出すデータ発生手段の出力するデータのビット幅によって定められたビット位置に任意のデータを付加して(4×(2のN乗))ビット幅にする複数のデータ拡展手段と、前記データ発生手段の出力するデータを選択信号に基づき前記データ拡展手段の出力するデータを選択に前記データ読み出し手段へ入力するデータも選択に再記データ読み出し手段へ入力するデータも選択に買いまないる。

[0027]

【作用】本発則は上記した構成により、メモリが(3×(2のN県))ビット幅を持ち、メモリのビット幅より小さい(3×(2のn果))ビット幅のデータは(2のNーn果)個連接してメモリに格納し、データ拡張手段がメモリの語み出し時にデータを付加して(4×(2のN果))(=2の(N+2)果)ビット幅にするので、必要なビット幅だけのバッファメモリしか必要としな

0028

【実施例】以下、本発明の実施例について図画を参照して設計する

調ビット幅の異なる2種類の画像データを発生するデー 御装置のブロック図である。図1において、101は階 モリ103とメモリ1 御信号を出力する制御信号発生手段、1111はデータ発 タ拡張手段105とデータ拡張手段106の出力データ リで下位半分のビット部分、105は1番目のデータに **は国家アータが、真治に存後するメモリな工法学会の万** タ発生手段、102はデータ発生手段101の出力する 制御信号からメモリ103とメモリ104へのメモリ制 し手段、109はメモ を選択するデータ出力選択手段、108は両像データを ビットを付加するデー 号を選択するセレクタ クタ、113はメモリ 生手段101の出力するアドレスからメモリ103とメ は、データ発生手段1 ット部分、104は画像データを一時的に格納するメモ 2種類のデータを選択するデータ人力選択手段、103 するセレクタ、114 モリ104へのアドレ メモリ103とメモリ 【0029】図1は本発明の一尖脂例におけるメモリ뒏 タにビットを付加するデータ拡張手段、107はデー 01の川 カするアドレスとメモリ なある。 0 4へのアドレスを選択するセレ 104から読み出すデータ読み出 夕姑張手段、106は2番目のデ tメモリ104へのメモリ制御信 103~のメモリ制御信号を選択 スを川力するシフタ、112はメ リアクセス福調停手段、110

【0030】データ発生手段101は、1両素毎に画像データを発生し、その両素のアドレスとデータを出力する。データ発生手段101は、24ビット幅の画像データと12ビット幅の画像データの2種類の画像データを

発生する。まずは、24ビット幅の画像データを発生する場合を考える。

【0031】データ入力選択手段102は、データ発生手段101の出力するデータ選択信号によって、24ビット幅データを選択し出力する。

【0032】データ発生手段101は、メモリアクセス 権調停手段109にメモリ103とメモリ104へのア クセス権を要求する。メモリアクセス権調停手段109 は、データ発生手段101とデータ読み出し手段108 との間でメモリアクセス権を調停し、データ発生手段101に対しメモリアクセス権を調停し、データ発生手段101に対しメモリ103とメモリ104へのアクセスを 許可する。

【0033】制御信号発生手段110は、データ発生手段101の出力するデータ選択信号に基づき、データ発生手段101の出力するメモリ制御信号を、そのままセレクタ113とセレクタ114に対して出力する。

【0034】シフタ111は、データ発生手段101の川力するデータ遊択信号に基づき、データ発生手段10 1の川力するアドレスを、そのままセレクタ112に対して用力する。

【0035】セレクタ112は、メモリアクセス権調停 下段109の出力するアグセス権選択信号によって、シフタ111の出力するアドレスを選択にメモリ103とメモリ104に対して出力する。セレクタ113は、メモリアクセス権調停手段109の出力するアクセス権選停手段109の出力するアクセス権選停手段109の出力するメモリ制御信号を選択しメモリ103に対して出力する、セレクタ114は、メモリアクセス権選択行場によって、制御信号を生たした。これらのアドレスとメモリ制御信号を生き場によって、データ人力選択手段102が出力する24ビット幅のデータがメモリ103とメモリ104の指定の位置に書き込まれる。

【0036】データ読み出し手段108は、メモリアクセス権調停手段109にメモリ103とメモリ104へのアクセス権を要求する。メモリアクセス権調停手段109は、データ発生手段101とデータ読み出し手段108との間でメモリアクセス権を調停し、データ読み出し手段108に対しメモリ103とメモリ104へのアクセスを許可する。

【0037】セレクタ112は、メモリアクセス権調停手段109の出力するアクセス権選択信号によって、データ認み出し手段108の出力するアドレスを選択しメモリ103とメモリ104に対して出力する。セレクタ113は、メモリアクセス権調停手段109の出力するアクセス権選択信号によって、データ読み出し手段108の出力するメモリ制御信号を選択しメモリ103に対して出力する、セレクタ114は、メモリアクセス権選択信号によって、データに対ける、セレクタ114は、メモリアクセス権選択信号によって、

6)

選択しメモリ104に対して出力する。これらのアドレ スとメモリ制御信号によって、メモリ103とメモリ1 データぶみ出し手段108の出力するメモリ制御信号を 0.4の指定の位置のデータが認み出される。

意の8 ビットを付加し、3 2 ビット幅に合わせて出力す をピット23から0に関り当て、拡張データをピット3 03とメモリ104から読み出された画像データ201 メモリ104から記み出された24ピット幅データに任 02を作る、 1から24に慰り当てることで32ビット艦のデータ2 る。図2にデータ損扱の例を示す、ここでは、メモリ1 [0038] データ拡張下段106は、メモリ103と

扱手段106の出力を選択し出力し、このデータはデー ット幅データ、つまり32ビットに拡張されたデータ拡 手段101の出力するデータ選択信号によって、24ビ タ巡み出し手段108へ巡み出される、 [0039] データ出力遊択手段107は、データ発生

キリは点く市場に消通している4ビット艦のRAMを3 例並列に並べることで容易に構成することができる。バ スッファメポリトして、12ドットMのメポリガ2空 ッファメモリを両像データだけで使いきるので、両像デ リを必要としない。 ータ以外の余分なデータを格納するためのバッファメモ (一名46 ノ med) JILET Just よい、 126 シ medaのメ 【0040】従って、24ビット幅データの場合には、

【0041】同様に、データ発生手段101が12ビッ ト軸データを発生する場合を考える。

連接して24ピット幅で出力する。 手段101の出力するデータ選択信号によって、12ピット幅データを選択し、この12ピット幅データを選択し、 [0042] データ人力選択手段102は、データ発生

は、データ発生手段101とデータ読み出し手段108 クセス権を要求する。メモリアクセス権調停手段109 標調停下段109にメモリ103とメモリ104へのア 0 1 に対しメモリ103とメモリ104へのアクセスを との間でメモリアクセス権を調停し、データ発生手段1 【0043】 データ発生手段101は、メモリアクセス

生手段101の出力するアドレスの最下位ピット(ピッ 段101の出力するデータ選択信号に基づき、データ発 01の出力するアドレスの最下位ピットが「1」の時は メモリ制御信号をセレクタ113に、データ発生手段1 【0044】制御信号発生手段110は、データ発生手 クタ114に対して出力する。 データ発生手段101の出力するメモリ制御信号をセレ ト0) が「0」の時はデータ発生手段101のIII/Jする

出力するデータ選択信号に基づき、データ発生手段10 向) ヘシフトして、セレクタ112に対して出力する。 1の出力するアドレスを1ビット行へ、(下位ビット方 [0045]シフタ111は、データ発生下段101の

> 出力するアクセス権選択信号によって、制御信号発生手 択信号によって、側御信号発生手段110の出力するメ の出力するアドレスの最下位ピットが「1」の時は、デ がメモリ103の指定の位置に、データ発生手段101 の最下位ピットが「0」の時は、データ入力選択手段1 段110の出力するメモリ制御信号を選択しメモリ10 モリアクセス権調停手段109の出力するアクセス権遊 フタ111の出力するアドレスを選択しメモリ103 手段109の出力するアクセス権選択信号によって、シ ータ人力選択手段102が出力する24ビット幅のデー 02が出力する24ピット幅のデータの上位12ビット 号によって、データ発生手段101の出力するアドレス 4に対して出力する。これらのアドレスとメモリ制御信 セレクタ114は、メモリアクセス権調停手殴109の モリ制御信号を選択しメモリ103に対して出力する。 メモリ104に対して出力する。セレクタ113は、メ 【0046】セレクタ112は、メモリアクセス権調停 タの下位12ピットがメモリ104の指定の位置に書き

データだけで使いきることができる。 104へ格納し、24ビット幅のパッファメモリを画像 ットが「0」)の画像データはメモリ103へ、奇数ア ドレス(坂下似ビットが「1」)の画像データはメモリ 【ロロチで】このようこして、海拔プァッス(坂下京に

のアクセス権を要求する。メモリアクセス権調停手段1 セス権調停予段109にメモリ103とメモリ104へ 08との間でメモリアクセス権を調停し、 09は、データ発生手段101とデータ読み出し手段1 し手段108に対しメモリ103とメモリ104へのア クセスを許可する。 [0048] データ読み出し手段108は、メモリアク

モリ103とメモリ104に対して出力する。セレクタ 下段109の出力するアクセス権選択信号によって、デ 択しメモリ104に対して出力する。これらのアドレス て出力する、セレクタ114は、メモリアクセス権調停 アクセス権選択信号によって、データ読み出し手段10 113は、メモリアクセス権調停手段109の出力する ータ読み出し手段108の出力するアドレスを選択しメ 【0049】セレクタ112は、メモリアクセス権調停 一夕読み出し手段108の出力するメモリ制御信号を選 下段109の出力するアクセス権選択信号によって、デ 4の指定の位置のデータが読み出される。 とメモリ制御信号によって、メモリ103とメモリ10 8の川力するメモリ制御信号を選択しメモリ103に対

意の8ピットを付加し、32ピット幅に合わせて出力す 03から読み出された画像データ203をビット27か メモリ104から読み出された24ビット幅データに任 る、図2にデータ拡張の例を示す、ここでは、メモリ1 ら16に割り当て、メモリ104から読み出された画像 [0050] データ拡張下段105は、メモリ103と

> タをピット31から28とピット15から12に割り当 張手段105の出力を選択し出力し、このデータはデー ット幅データ、つまり32ビットに拡張されたデータ拡 [0051] データ出力選択手段107は、データ発生 データ204をビット1 手段101の出力するテ とで32ビット塩のデータ205を作る。 1から0に割り当て、拡張デー ータ選択信号によって、12ビ

なデータを格納するためのバッファメモリを必要としな 画像データだけで使いきるので、画像データ以外の余分 バッファメモリとして、 [0052] 従って、1 (=24ビット幅) 用意すればよい。 バッファメモリを 12ビット幅のメモリを2個 2 ビット幅データの場合にも、

夕読み出し手段108へ読み出される。

ビットや16ビット単位でも読み出すようにしてもよ 成の室では4万ット型のKAMから海域されるのか、8 全て32ビットで行なう例を示したが、上記のメモリ構 【0053】なお、上記実施例ではデータの認み出しは

[+ 5 + 0 |

ット幅の異なる複数のデータを発生する場合に、データ 発生手段の出力するデ 発生手段の出力するデ ット駐のメモリと、メモリに発送されたデータにデータ I:の整数)個連接して格納する(3×(2のN栗)) ビ (3× (2のn展: n/40以上の頻頻)) パット魅力で 【発明の効果】以上説明したように、本発明によれば、 - 夕を (2のN – n 源:Nはn以 タのピット語によって定められ

> たピット位置に任意のデータを付加して(4×(2のN モリをなくすことでメモリ量を削減することができ、そ のバッファメモリを持つだけでよく、余分なバッファメ 栗)) ビット幅にする複数のデータ拡張手段とを設ける の実用的効果は大きい。 ことにより、発生するデータを格納するのに必要なだけ

【図面の簡単な説明】

成をボナブロック図である。 【図1】本発明の一実施例におけるメモリ制御装置の構

作を説明する説明図である。 【図2】本発明の一実施例におけるメモリ期御装置の動

【図3】従来のメモリ制御装置の構成をボすブロック図

【図4】従来のメモリ制御装置の動作を説明する説明図

なある。

かるの

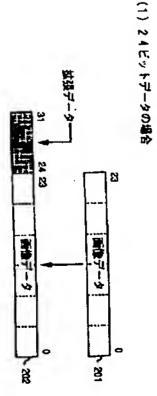
【符合の説明】

0 2 101 105~106 103~104 0 9 0 8 0 メホリ シフタ テータ拡張 記込 データ人力選択手段 制御信号発生手段 メモリアクセス権調停手段 データ説み出し下段 データ出力遊択手段 データ発生手段

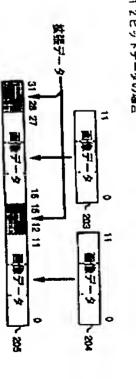
[<u>| | | |</u> | 2 |

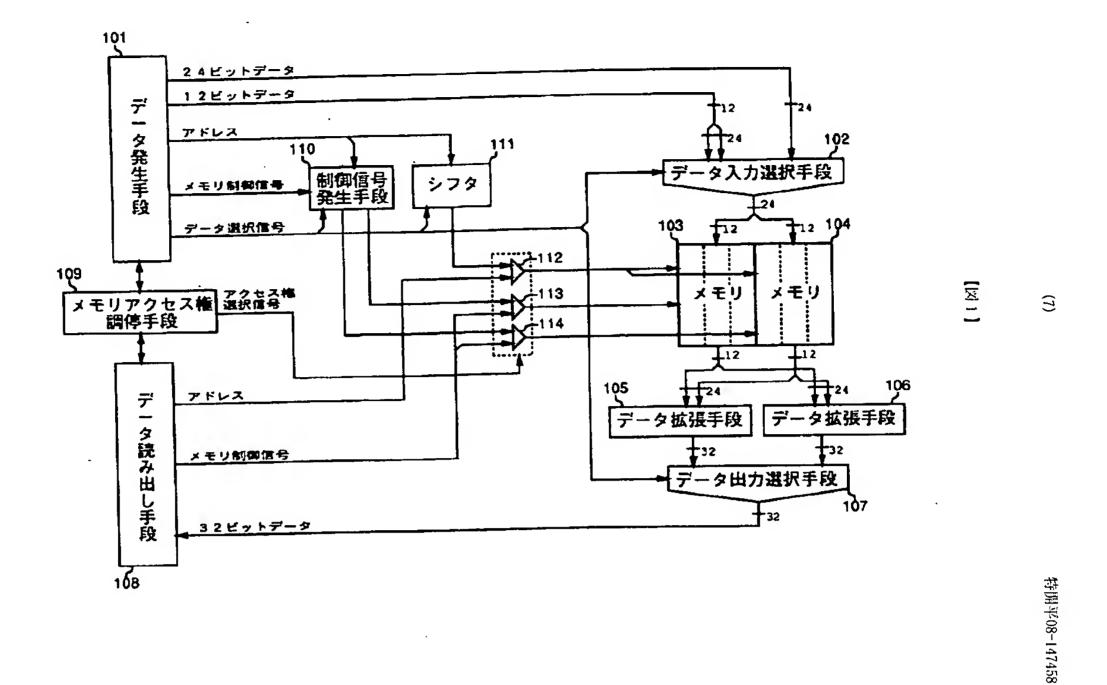
1 1 4

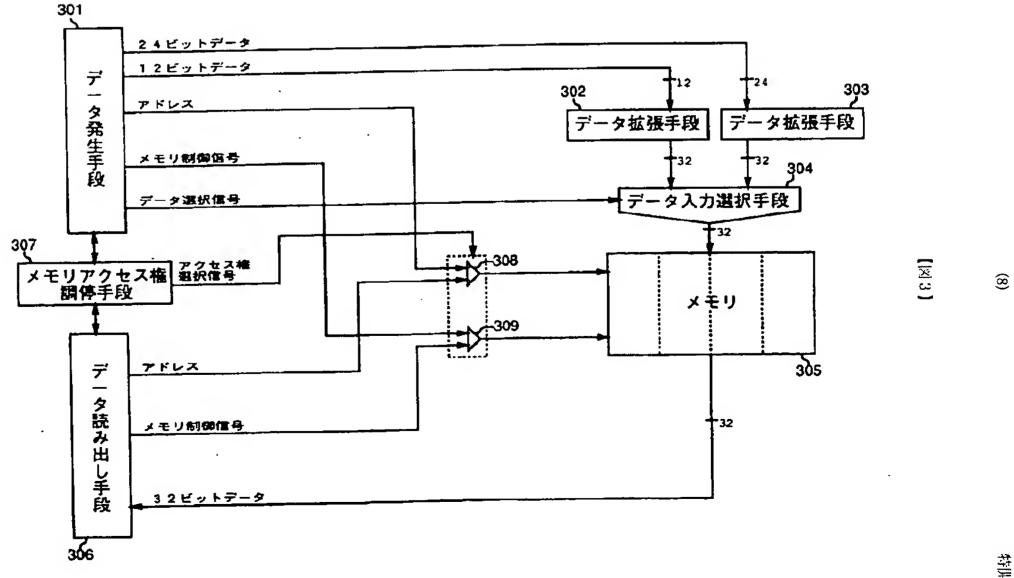
セレクタ



(2) 12ビットダータの場合







特別平08-147458

特開平08-147458

(9)